

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-319619
(43)Date of publication of application : 31.10.2002

(51)Int.Cl.

H01L 21/768
H01L 21/28
H01L 21/3065

(21)Application number : 2001-123300
(22)Date of filing : 20.04.2001

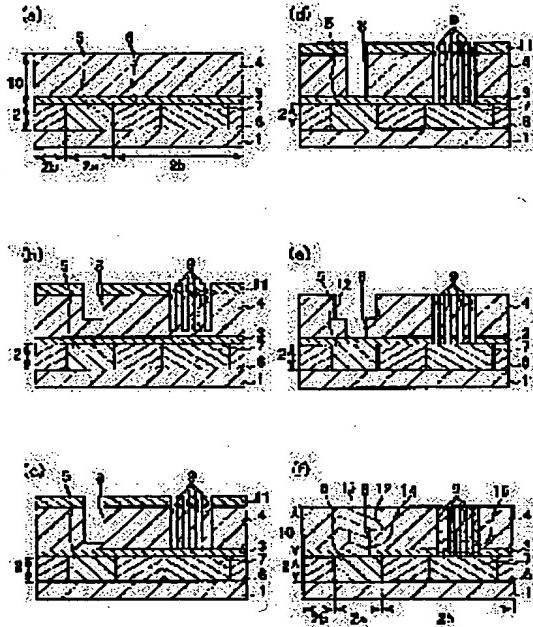
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
(72)Inventor : YAMANAKA MICHINARI
YAMASHITA TAKESHI

(54) SEMICONDUCTOR DEVICE AND ETCHING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an etching method, by which the accuracy of a connection hole or end point control of the connecting hole can be enhanced and occurrence of defects in a semiconductor device can be suppressed, and to provide a semiconductor device in which defects are suppressed.

SOLUTION: Firstly, a laminated film 10 composed of a protective film 3 and an insulating film 4 is formed on a substrate 1, having a contact region 2a and a non-contact region 2b. Then the connecting hole 8 is formed in the laminated film 10 on the contact region 2a, and at the same time, dummy connection holes 9 are formed in the laminated film 10 on the non-contact region 2b.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-319619

(P2002-319619A)

(43)公開日 平成14年10月31日 (2002.10.31)

(51)Int.Cl.
H 01 L 21/768
21/28
21/3065

識別記号

F I
H 01 L 21/28
21/90
21/302

テ-マコ-ト[®] (参考)
L 4 M 1 0 4
A 5 F 0 0 4
C 5 F 0 3 3
E

審査請求 未請求 請求項の数12 O.L (全 14 頁)

(21)出願番号 特願2001-123300(P2001-123300)

(22)出願日 平成13年4月20日 (2001.4.20)

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 山中 通成
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 山下 武志
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 100095555
弁理士 池内 寛幸 (外5名)

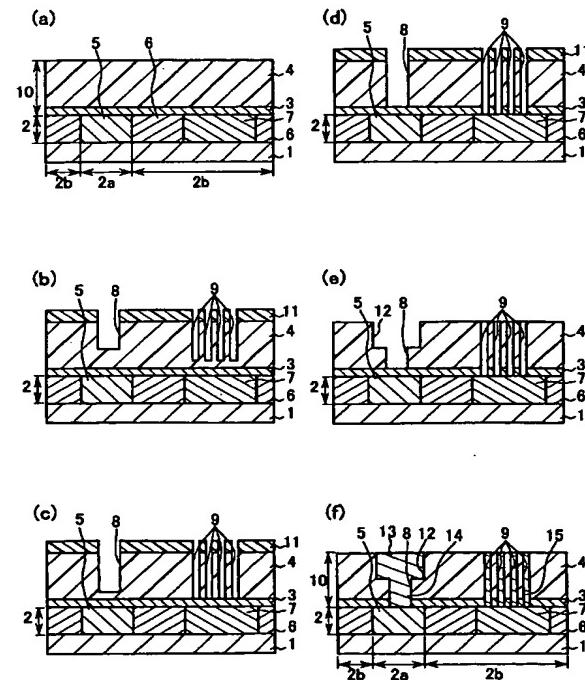
最終頁に続く

(54)【発明の名称】 半導体装置およびエッティング方法

(57)【要約】

【課題】 接続孔または接続孔の終点制御の精度を高めることができ、半導体装置に欠陥が生じるのを抑制し得るエッティング方法、および欠陥が抑制された半導体装置を提供することにある。

【解決手段】 最初に、コンタクト領域2aと非コンタクト領域2bとを有する基板1上に、保護膜3と絶縁膜4とからなる積層膜10を形成する。次に、コンタクト領域2a上の積層膜10に接続孔8を形成するのと同時に、非コンタクト領域2b上の積層膜10にダミー接続孔9を形成する。



【特許請求の範囲】

【請求項1】 コンタクト領域及び非コンタクト領域を有する基板上に形成された保護膜と、前記保護膜上に形成された絶縁膜とからなる積層膜に、前記コンタクト領域に達する接続孔を形成するためのエッチング方法であって、

前記コンタクト領域上の前記積層膜に前記接続孔を形成するのと同時に、前記非コンタクト領域上の前記積層膜にダミー接続孔を形成することを特徴とするエッチング方法。

【請求項2】 前記コンタクト領域は金属配線または不純物拡散層が形成された領域であることを特徴とする請求項1に記載のエッチング方法。

【請求項3】 前記ダミー接続孔は密集して複数形成することを特徴とする請求項1または2に記載のエッチング方法。

【請求項4】 前記ダミー接続孔は前記接続孔よりも開口径が大きいことを特徴とする請求項1または2に記載のエッチング方法。

【請求項5】 前記保護膜はSi₃N₄、SiC、SiO₂、C、SiCNまたはSiONのいずれかにより形成されていることを特徴とする請求項1から4のいずれかに記載のエッチング方法。

【請求項6】 前記エッチング方法は、エッチング中に被エッチング物から放出されるプラズマ発光を検出することを特徴とする請求項1から5のいずれかに記載のエッチング方法。

【請求項7】 前記プラズマ発光の検出は、N発光、C N発光、C N⁺発光、N⁺発光、N₂発光、CO発光、C O⁺発光、NO発光、NO⁺発光を検出することを特徴とする請求項6に記載のエッチング方法。

【請求項8】 前記エッチングにおいて基板上に形成されるチップ面積をS1とし、前記チップ内の接続孔とダミー接続孔とのエッチング面積の総和をS2としたとき、開口率(S2/S1)が1.5%以上であることを特徴とする請求項1から7のいずれかに記載のエッチング方法。

【請求項9】 前記ダミー接続孔が前記保護膜に達した後、前記保護膜よりも前記絶縁膜の方が、エッチング速度が大きくなるようにエッチングの条件を変更してエッチングを継続し、前記接続孔が前記保護膜に達した時点でエッチングを停止することを特徴とする請求項1から8のいずれかに記載のエッチング方法。

【請求項10】 基板上に、コンタクト領域と、非コンタクト領域と、保護膜及び絶縁膜からなる積層膜と、前記積層膜を貫通して前記コンタクト領域に達する接続プラグと、前記積層膜を貫通して前記非コンタクト領域に達するダミープラグとが形成された半導体装置であって、

前記ダミープラグは前記半導体装置の回路動作に寄与し

ないプラグであることを特徴とする半導体装置。

【請求項11】 前記接続プラグの上部に前記絶縁膜に埋め込まれた配線が形成されていることを特徴とする請求項10に記載の半導体装置。

【請求項12】 基板上に、不純物拡散領域と、ゲート電極と、前記ゲート電極の側壁に設けられたサイドウォールと、素子分離領域と、

前記ゲート電極、前記サイドウォール及び前記不純物拡散領域の少なくとも一部を覆う保護膜と、前記保護膜を覆う絶縁膜と、前記絶縁膜及び前記保護膜を貫通して前記不純物拡散領域に達する接続プラグと、前記絶縁膜及び前記保護膜を貫通して前記素子分離領域に達するダミープラグとが形成された半導体装置であって、

前記ダミープラグは前記半導体装置の回路動作に寄与しない接続プラグであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置、及び主にその製造工程において用いられるエッチング方法に関する。

【0002】

【従来の技術】 従来、半導体装置としては配線層が二層～三層のものが主流であったが、近年の高集積化に伴い、半導体装置においては従来以上の多層配線化が進められている。このような多層配線化の採用のため、従来からの課題であったトランジスタアレーにおける信号遅延の問題に加え、配線における遅延も大きな問題となりつつある。その対策として、配線の構成材料としては、従来のAl化合物より抵抗の小さいCu又はCu化合物の採用が進められている。また、このCu配線の採用により、配線構造においては、Cu配線のドライエッチングが不要であって、Cu埋め込み配線を用いるデュアルダマシン構造が主流となっている。更に、より配線容量を小さくするため、層間絶縁膜として誘電率の低い絶縁膜の採用が進められている。

【0003】 次に図面を参照しながら、配線材料にCu配線を用いたデュアルダマシン構造について説明する。図6は従来のデュアルダマシン構造を有する半導体装置の製造方法を示す工程断面図である。

【0004】 最初に、図6(a)に示すように半導体基板71の上に第1の配線層72を積層する。第1の配線層72は、埋め込み配線である第1の配線パターン72aと第1の層間絶縁膜72bとで構成されている。第1の配線パターン72aは、半導体基板71の上に第1の層間絶縁膜72bを形成した後、一連のリソグラフィー工程、ドライエッチング工程、メッキ工程およびCMP(Chemical Mechanical Polishing)工程等からなるシングルダマシン法を用いて形成されている。更に、第1の配線層72の上に配線パターン72aの酸化を抑制するためのシリコン窒化膜73を積層する。

【0005】次に、図6(b)に示すように、シリコン塗化膜73の上に第2の層間絶縁膜74bを形成する。更に層間絶縁膜74bの上に、リソグラフィー法を用いてパターン形成された第1のレジスト76を形成し、レジスト76のパターンに従ってドライエッティングを行ない、第1の配線パターン72aと接続する接続孔75を形成する。エッティング終了後、第1のレジスト76は除去する。

【0006】更に、図6(c)に示すように、リソグラフィー法を用いてパターン形成された第2のレジスト78を形成し、ドライエッティングを行なって溝パターン77を形成する。この溝パターンは後述する第2の配線パターン74aのパターン形状に合わせて形成されている。溝パターン77の形成後、第2のレジスト78は除去する。

【0007】次いで、図6(d)に示すように、ドライエッティング法により接続孔75の直下にあるシリコン塗化膜73の除去を行なう。最後に、図6(e)に示すように、メッキ法により接続孔75および溝パターン77に金属材料を充填し、CMP法により研磨を行なって第2の配線パターン74aを形成して第2の配線層74を形成する。これにより、デュアルダマシン構造が完成する。

【0008】

【発明が解決しようとする課題】しかしながら、上記に示すデュアルダマシン構造の製造方法においては、図6(b)で示した接続孔75を形成するドライエッティングの際に以下のような問題点を有している。

【0009】第1の問題は、接続孔75の開口率が低いために、発光による終点検出が困難という問題である。つまり、通常ドライエッティングでは、被エッティング物からの発光、またはエッティング生成物からの発光をモニタリングすることにより、終点(エンドポイント)検出を行なっている。しかしながら、上記図6(b)に示したドライエッティングの場合、第1の配線パターン72aに接続される接続孔75の開口率は、形成される全ての接続孔を合わせても多くのデバイスでは1%未満である。そのため、接続孔75がシリコン塗化膜73に達した際における被エッティング物やエッティング生成物からの発光(CN、SiN、N、N⁺等の発光)は両者とも微弱であり、発光をモニタリングすることによる終点検出が非常に困難という問題がある。

【0010】また、第2の問題は、接続孔75のドライエッティングにおける異方性を高めると、第2の層間絶縁膜74bとシリコン塗化膜73との選択比が十分に確保できないという問題である。

【0011】つまり、近年の半導体装置における配線パターンの微細化、高集積化のため、配線層と配線層とを接続する接続孔のアスペクト比(接続孔深さ/接続孔径)は、世代毎に大きくなりつつある。そのため、接続

孔の形成にはより異方性の高いドライエッティングが要求されている。このドライエッティングにおける異方性の向上を図る方法としては、接続孔の底に供給するエッチャントの供給量を増大させる方法や、エッティング時に接続孔の底に形成される膜の形成を抑制する方法がある。しかしながら、ドライエッティングによる異方性を増大させると、第2の層間絶縁膜74bとシリコン塗化膜73との選択比が低下してしまうという問題が生じてしまう。

【0012】かかる上記の二つの問題から、接続孔75の形成においては、終点検出はエッティング時間の制御によって行なわれており、またエッティング条件は異方性の高い条件に設定されている。このため、接続孔75の形成をシリコン塗化膜73で止めるのは非常に困難であり、よってドライエッティングによりシリコン塗化膜73が破れ、第1の配線パターン72aが酸化して配線欠陥が生じるという第3の問題が生じてしまう。

【0013】この第3の問題について図7を用いて説明する。図7は従来のデュアルダマシン構造を有する半導体装置の製造工程の一部を示す断面図である。図7

(a)に示すように、終点制御をエッティング時間で行ない、異方性を高めると接続孔75のドライエッティング工程においてシリコン塗化膜73が破れてしまい(図中点線で囲まれた部分を参照)、第1の配線パターン72aは露出した状態となる。

【0014】この後第1のレジスト76の除去を行ない、更に図6(c)に示すように溝パターン77の形成が行なわれるが、第1のレジスト76の除去は酸素ガスを用いたレジストアッキングにより行なわれる。このため、図7(b)に示すように第1の配線パターン72aは酸素ガスにより一部が酸化されてしまい、配線欠陥となってしまう。69は第1の配線パターン72aにおいて酸化された部分を示している。更に、その後の工程で大気に曝されることによても第1の配線パターン72aの一部は酸化されてしまい、配線欠陥となってしまう。

【0015】また、上記の三つの問題は、図6に示した配線間を接続する接続孔を形成する場合に限られるものではない。例えば、不純物拡散層の上に保護膜、絶縁膜を順に形成し、保護膜及び絶縁膜を貫通して不純物拡散層に達する接続孔を形成する場合においても保護膜が破れて不純物拡散層に欠陥が生じる場合がある。

【0016】本発明は、上記問題を解決し、接続孔または接続孔の終点制御の精度を高めることができ、半導体装置に欠陥が生じるのを抑制し得るエッティング方法、および欠陥が抑制された半導体装置を提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するため本発明にかかるエッティング方法は、コンタクト領域及び非コンタクト領域を有する基板上に形成された保護膜

と、前記保護膜上に形成された絶縁膜とからなる積層膜に、前記コンタクト領域に達する接続孔を形成するためのエッチング方法であって、前記コンタクト領域上の前記積層膜に前記接続孔を形成するのと同時に、前記非コンタクト領域上の前記積層膜にダミー接続孔を形成することを特徴とする。

【0018】上記本発明にかかるエッチング方法において、前記コンタクト領域は金属配線または不純物拡散層が形成された領域であるのが良い。また、前記ダミー接続孔は密集して複数形成しても良いし、前記接続孔よりも開口径が大きいものであっても良い。更に、前記保護膜はSi₃N₄、SiC、SiOC、SiCNまたはSiONのいずれかにより形成されているのが好ましい。

【0019】上記本発明にかかるエッチング方法では、エッチング中に被エッチング物から放出されるプラズマ発光を検出することによって、エッチングの終点制御を行うことができる。このとき検出できるプラズマ発光としては、N発光、CN発光、CN⁺発光、N⁺発光、N₂発光、CO発光、CO⁺発光、NO発光、NO⁺発光が挙げられる。

【0020】また、上記本発明にかかるエッチング方法では、前記エッチングにおいて基板上に形成されるチップ面積をS1とし、前記チップ内の接続孔とダミー接続孔とのエッチング面積の総和をS2としたとき、開口率(S2/S1)が1.5%以上であるのが好ましい態様である。

【0021】更に、上記本発明にかかるエッチング方法においては、前記ダミー接続孔が前記保護膜に達した後、前記保護膜よりも前記絶縁膜の方が、エッチング速度が大きくなるようにエッチングの条件を変更してエッチングを継続し、前記接続孔が前記保護膜に達した時点でエッチングを停止するのが好ましい態様である。

【0022】また、上記目的を達成するために本発明にかかる半導体装置の第1の態様は、基板上に、コンタクト領域と、非コンタクト領域と、保護膜及び絶縁膜からなる積層膜と、前記積層膜を貫通して前記コンタクト領域に達する接続プラグと、前記積層膜を貫通して前記非コンタクト領域に達するダミープラグとが形成された半導体装置であって、前記ダミープラグは前記半導体装置の回路動作に寄与しないプラグであることを特徴とする。この本発明にかかる半導体装置の第1の態様においては、前記接続プラグの上部に前記絶縁膜に埋め込まれた配線を形成することもできる。

【0023】また、上記目的を達成するために本発明にかかる半導体装置の第2の態様は、基板上に、不純物拡散領域と、ゲート電極と、前記ゲート電極の側壁に設けられたサイドウォールと、素子分離領域と、前記ゲート電極、前記サイドウォール及び前記不純物拡散領域の少なくとも一部を覆う保護膜と、前記保護膜を覆う絶縁膜と、前記絶縁膜及び前記保護膜を貫通して前記不純物拡

散領域に達する接続プラグと、前記絶縁膜及び前記保護膜を貫通して前記素子分離領域に達するダミープラグとが形成された半導体装置であって、前記ダミープラグは前記半導体装置の回路動作に寄与しない接続プラグであることを特徴とする。

【0024】

【発明の実施の形態】(実施の形態1)以下、本発明の実施の形態1にかかるエッチング方法及び半導体装置について、図1を参照しながら説明する。図1は、本発明の実施の形態1にかかるエッチング方法及び半導体装置を示す断面図である。

【0025】最初に本実施の形態1にかかるエッチング方法について説明する。本実施の形態1にかかるエッチング方法は、コンタクト領域2aに達する接続孔8を形成するためのエッチング方法である。先ず、図1(a)に示すように、コンタクト領域2a及び非コンタクト領域2bを有する基板1上に形成された保護膜3と、保護膜3上に形成された絶縁膜4とからなる積層膜10を形成する。ここで、本発明でいうコンタクト領域とは、ビアやコンタクトに埋め込まれた導体部材が接続される下層の領域をいい、下層配線や半導体基板に形成された不純物拡散領域などを意味する。

【0026】図1(a)の例では、コンタクト領域2a及び非コンタクト領域2bは、基板1上に配線層2を設けて形成されている。配線層2の形成は、半導体基板1の上に第1の層間絶縁膜6を形成し、一連のリソグラフィー工程、ドライエッチング工程、メッキ工程およびCMP工程等からなるシングルダマシン法を用いて第1の配線パターン5と第2の配線パターン7とを形成することによって行なわれている。なお、第1の配線パターン5および第2の配線パターン7は共にCu配線であるが、本実施の形態ではCu配線に限定されるものではない。

【0027】この二種類の配線パターンのうち第1の配線パターン5は、半導体装置を駆動するのに用いられるものであるが、第2の配線パターン7は半導体装置を駆動するのに用いられないものである。具体的には、第2の配線パターン7は、CMP工程における平坦性の確保のためのダミーパターンや、リソグラフィー工程におけるアライメント確認のためのアライメントパターン等である。

【0028】よって、配線層2において第1の配線パターン5の露出した領域がコンタクト領域2aとなり、第1の層間絶縁膜6および第2の配線パターン7の露出した領域が非コンタクト領域2bとなる。なお、本実施の形態1においては、配線層2は第2の配線パターン7を有さない態様であっても良い。

【0029】図1(a)の例では、保護膜3および絶縁膜(以下「第2の層間絶縁膜」とする。)4は、CVD法等によって形成されている。図1(a)の例では保護

膜3はシリコン窒化(Si₃N₄)膜であり、第1の配線パターン5の保護のために形成されている。但し、本実施の形態において保護膜3は、第1の配線パターン5の酸化を抑制し得るものであれば特に限定されるものではない。その他の保護膜3としては、SiC、SiOC、SiCN又はSiONなどにより形成されたものが挙げられる。また、図1(a)の例では、第2の層間絶縁膜4はSiO₂膜である。但し、本実施の形態において第2の層間絶縁膜4は、これに限定されるものではなく、その他SiON、SiOC、SiOF、有機材料またはポーラス状材料のいずれかで形成された膜であっても良い。

【0030】但し、保護膜3と第2の層間絶縁膜4との選択比を確保するため、保護膜3は第2の層間絶縁膜4のエッティング時に、第2の層間絶縁膜4よりもエッティング速度が遅くなるように形成されているのが好ましい。よって、この点を考慮して保護膜3および第2の層間絶縁膜4の構成材料及びエッティング条件を選択する必要がある。

【0031】次に、図1(b)に示すように、コンタクト領域2a上の積層膜10に接続孔8を形成するのと同時に、非コンタクト領域2b上の積層膜10にダミー接続孔9を形成する。なお、接続孔8は実際には複数個形成されるが、図1においては単一の接続孔のみを示している。

【0032】図1(b)の例では、接続孔8の形成とダミー接続孔9の形成とは同時に開始されている。具体的には、接続孔8及びダミー接続孔9は、第2の層間絶縁膜4の上面にレジスト11を設け、これを接続孔8及びダミー接続孔9のパターン形状に合わせてパターン形成し、プラズマエッティング装置等によってドライエッティングを行うことで形成されている。なお、ドライエッティング条件は異方性の高い条件に設定されている。

【0033】また、図1(b)の例では、ダミー接続孔9は密集して複数形成されている。このため、ドライエッティング時において、接続孔8の深さ方向のエッティング速度と、ダミー接続孔9の深さ方向のエッティング速度とを比較すると、図1(b)の例に示すようにマイクロローディング効果によりダミー接続孔9のエッティング速度の方が速くなる。

【0034】本実施の形態1において複数のダミー接続孔9間のピッチをDP1とすると、DP1は後述のマイクロローディング効果が顕著に表れるようにするために、接続孔8間のピッチHP1に対して、DP1≤HP1となるように設定するのが好ましく、特にはDP1≤(HP1-0.02μm)となるように設定するのが好ましい。

【0035】また、本実施の形態1において、接続孔8とダミー接続孔9とは、これらを合わせた開口率が経験上1.5%以上となるように形成するのが好ましい。な

お、本発明でいう開口率とは、エッティングにおいて基板1上に形成されるチップの面積をS1とし、このチップ内の接続孔とダミー接続孔とのエッティング面積の総和をS2としたときに、下記式(1)によって算出される比をいう。開口率[%]=(S2/S1)×100

(1)ここで、絶縁膜にドライエッティングによって接続孔を形成する際の一般的なマイクロローディング効果について説明する。通常、接続孔のドライエッティングは、プラズマ中から等方的に入射する中性粒子と絶縁膜とが反応することによって行なわれるが、この時、プラズマ中から異方的に入射するイオンにより反応エネルギーが与えられることによりエッティングが進行する。また、同時に等方的に供給されるデボ種によって横方向の反応が抑制されるとともに、被エッティング物とその下地層との選択比が確保される。

【0036】このため、孤立した接続孔8と、密集状態にあるダミー接続孔9とを比較した場合、単位面積当たりのエッチャントの供給量は略同程度であるが、ホール底へ供給されるデボ種の供給量は、密集状態にあるダミー接続孔9の方が少なくなる。その結果、図1(b)で示すように密集状態にあるダミー接続孔9のエッティング速度の方が大きくなる。よって、図1(c)に示すように、ドライエッティングを続けると、ダミー接続孔9の方が接続孔8よりも早く下地層である保護膜3に到達する。

【0037】ところで、上述の従来例のように接続孔8のみが形成される場合では、接続孔8全体の開口率は1%未満であるため、発光による終点検出は困難である。しかし、本実施の形態1においては、上述したようにダミー接続孔9が形成されている。また、接続孔8とダミー接続孔9とを合わせた開口率は好ましくは1.5%以上に設定される。

【0038】よって、図1(c)に示すようにダミー接続孔9の底が保護膜3に到達すると、保護膜3がシリコン窒化膜であるため、プラズマ中においてN発光、CN発光、CN⁺発光、N⁺発光、N₂発光、CO発光、CO⁺発光、NO発光、NO⁺発光等を容易に検出できる。このため、図1(b)から図1(c)の工程においては、終点検出は発光の検出によって行なわれており、エッティング時間によって行なわれていない。なお、発光検出による終点検出は従来から利用されている終点検出装置により行なうことができる。また、保護膜3の種類が異なると検出される発光も異なるため、発光の種類は上記に限定されるものではない。

【0039】次に、図1(d)に示すように、終点を検出した後、第2の層間絶縁膜4と保護膜3との選択比が高くなるように、即ち、保護膜3よりも第2の絶縁膜4の方が、エッティング速度が大きくなるようにエッティングの条件を変更して、更にドライエッティングを継続する。このとき接続孔8の終点制御はエッティング時間によって

行なわれるが、選択比が高いため従来に比べて終点制御の精度を高くできる。このため、接続孔8においては、保護膜3上でエッチングの進行を止めることが容易に行なえる。

【0040】ドライエッチングの終了後、酸素ガスを用いたレジストアッシングによりレジスト11の除去が行なわれる。このとき第1の配線パターン5は露出されてしまはず、そのため第1の配線パターン5の酸化は抑制され、従来のような配線不良の発生が抑制されている。なお、第2の配線パターン7は露出されているため、レジスト11の除去の際に酸化されてしまうが、これによって第1の配線パターン5に配線欠陥が生じることはない。

【0041】その後、図1(e)に示すように、リソグラフィー法、ドライエッチング法により溝パターン12を形成する。更に図1(f)に示すように、接続孔8の底に露出している保護膜3をドライエッチングにより除去し、メッキ法およびCMP法を行なう。これにより接続プラグ14、ダミープラグ15、及び第3の配線パターン13が形成される。よって、積層膜10は配線層となり、デュアルダマシン構造が得られる。このように図1(a)から図1(f)に示す工程を経ることにより、本実施の形態1にかかる半導体装置が得られる。

【0042】このように本実施の形態1にかかる半導体装置の製造方法を用いれば、接続孔8が保護膜3の近傍に達するまでは異方性の高い条件に設定してエッチングすることができ、達した後は選択比の高い条件に変更してエッチングすることができる。このため、接続孔8の形成の際における終点制御を精度良く行なうことができる。よって、従来のような配線不良が配線層に生じるのを抑制することができ、特にアスペクト比の高い接続孔の形成において有効である。

【0043】次に、本実施の形態1にかかる半導体装置について説明する。上述の図1(f)に示すように、本実施の形態1にかかる半導体装置は、基板1上に、コンタクト領域2aと、非コンタクト領域2bと、保護膜3及び絶縁膜4からなる積層膜10と、接続プラグ14と、ダミープラグ15とが形成されて構成されたものである。接続プラグ14は、積層膜10を貫通してコンタクト領域に達するよう形成されており、半導体装置の回路動作に寄与するものである。一方、ダミープラグは、積層膜10を貫通して非コンタクト領域2bに達するよう形成されており、半導体装置の回路動作に寄与しないものである。

【0044】このように本実施の形態1にかかる半導体装置では、従来の半導体装置と異なり、接続孔8とダミー接続孔9とにより接続プラグ14とダミープラグ15とが形成されるため、配線欠陥が極めて少ないものとなっている。また、本実施の形態1にかかる半導体装置では、ダミー接続孔9によって開口率(S2/S1)を制

御することができ、ダミー接続孔9はドライエッチング工程及びCMP工程におけるプロセスマニタリングや、その制御に利用できる。

【0045】(実施の形態2) 次に本発明の実施の形態2にかかるエッチング方法及び半導体装置について、図2を参照しながら説明する。図2は、本発明の実施の形態2にかかるエッチング方法及び半導体装置を示す断面図である。

【0046】最初に本実施の形態2にかかるエッチング方法について説明する。本実施の形態2にかかるエッチング方法も、コンタクト領域22aに達する接続孔28を形成するためのエッチング方法である。先ず、図2(a)に示すように、コンタクト領域22a及び非コンタクト領域22bを有する基板21上に形成された保護膜23と、保護膜23上に形成された絶縁膜24とからなる積層膜20を形成する。この工程は図1(a)に示した工程と同じである。

【0047】図2(a)の例においても、コンタクト領域22a及び非コンタクト領域22bは、基板21上に配線層22を設けて形成されている。配線層22の形成は、実施の形態1と同様に第1の層間絶縁膜26を形成し、シングルダマシン法によって第1の配線パターン25と第2の配線パターン27とを形成することによって行なわれている。図2(a)の例においても第1の配線パターン25と第2の配線パターン27とはCu配線である。また、第1の配線パターン25は、半導体装置を駆動するのに用いられるものであるが、第2の配線パターン27はダミーパターンやアライメントパターン等の半導体装置を駆動するのに用いられないものである。

【0048】配線層22においても、実施の形態1と同様に、第1の配線パターン25の露出した領域がコンタクト領域22a、第1の層間絶縁膜26と第2の配線パターン27とが占める領域が非コンタクト領域22bとなっている。配線層22は第2の配線パターン27を有さない様であっても良い。また、図2の例に示す保護膜23および絶縁膜(以下「第2の層間絶縁膜」とする。)24も、実施の形態1と同様の構成材料および同様の形成方法で形成されている。

【0049】次に、図2(b)に示すように、コンタクト領域22a上の積層膜20に接続孔28を形成すると同時に、非コンタクト領域22b上の積層膜20にダミー接続孔29を形成する。なお、接続孔28は實際には複数個形成されるが、図2においては単一の接続孔のみを示している。

【0050】図2(b)の例では、接続孔28の形成とダミー接続孔29の形成とは同時に開始されている。具体的には、実施の形態1と同様に、接続孔28およびダミー接続孔29は、第2の層間絶縁膜24の上面にレジスト31を設け、これを接続孔28及びダミー接続孔29のパターン形状に合わせてパターン形成し、ドライエ

ッチングを行うことで形成されている。本工程においても、ドライエッチング条件は異方性の高い条件に設定されている。

【0051】また、図2(b)の例では、ダミー接続孔29は、実施の形態1で示したような密集して複数形成されたものではなく、接続孔28よりも開口径の大きな孔で構成されている。具体的には、ダミー接続孔29の開口径をDd1、接続孔28の開口径をHd1とするとき、Dd1は、 $Dd1 \geq (Hd1 + 0.02\mu m)$ 、特に $Dd1 \geq (Hd1 + 0.1\mu m)$ となるように設定するのが好ましい。このようにダミー接続孔29を開口径の大きな孔で形成した場合、ホトリソグラフィー工程における露光限界に影響されずにダミー接続孔を形成できるという利点がある。

【0052】また、本実施の形態1において、ダミー接続孔29間のピッチをDP2とすると、DP2は、 $DP2 \geq (Hd1 + 0.02\mu m)$ となるように設定するのが好ましく、特に $DP2 \geq (Hd1 + 0.1\mu m)$ となるように設定するのが好ましい。更に、本実施の形態2においても、実施の形態1と同様に、接続孔28とダミー接続孔29とは、これらを合わせた開口率が経験上1.5%以上となるように形成するのが好ましい。

【0053】この図2(b)に示すドライエッチングにおいて、接続孔28の深さ方向のエッチング速度と、ダミー接続孔29の深さ方向のエッチング速度とを比較すると、図2(b)～(d)に示すように、RIE-Lagにより、ダミー接続孔29のエッチング速度の方が速くなる。

【0054】ここで、絶縁膜にドライエッチングによって接続孔を形成する際のRIE-Lagについて説明する。RIE-Lagとは、接続孔の深さ方向のエッチング速度は、接続孔のアスペクト比(ホール深さ/ホール径(開口径))に依存するというものである。通常、接続孔のドライエッチングは、プラズマ中から等方的に入射する中性粒子と絶縁膜とが反応することによって行なわれるが、この時、プラズマ中から異方的に入射するイオンにより反応エネルギーが与えられることによりエッチングが進行する。また、同時に等方的に供給されるデボ種によって横方向の反応が抑制されるとともに、被エッチング物とその下地層との選択比が確保される。

【0055】次に、入射イオン種について着目すると、プラズマから入射するイオンは、シースでの散乱等により、ある程度の角度分布をもってシリコン基板等の被エッチング物に入射する。そのため、ホール底に到達するイオンの量は、アスペクト比の高い接続孔(即ち、小開口径パターン)に比べ、アスペクト比の低い接続孔(即ち、大開口径パターン)の方が多い。また、同様の理由から、エッチングに寄与する中性粒子がホール底へ入射する量もアスペクト比が低いパターンの方が多い。その結果、アスペクト比の低い接続孔のエッチング

速度は、アスペクト比の高い接続孔のエッチング速度に比べて速くなるのである。このことから、図2(b)で示したようにダミー接続孔29のエッチングは接続孔28のエッチングよりも速く進むことになる。

【0056】従って、図2(c)に示すようにドライエッチングを続けると、ダミー接続孔29は接続孔28よりも早く下地層である保護膜23に到達する。更に、上述したようにダミー接続孔29は、その開口径が接続孔28の開口径よりも大きくなるように形成されている。このため、本実施の形態2においても保護膜23の種類に応じた発光を検出することができ、発光検出による終点検出を行なうことができる。

【0057】次に、図2(d)に示すように、終点を検出した後、ドライエッチング条件を第2の層間絶縁膜24と保護膜23との選択比が高くなるように、即ち、保護膜23よりも第2の絶縁膜24の方が、エッチング速度が大きくなるようにエッチングの条件を変更して、更にドライエッチングを継続する。このとき接続孔28の終点制御は、実施の形態1と同様に、エッチング時間によって行なわれる。ドライエッチングの終了後、酸素ガスを用いたレジストアッシングによりレジスト31の除去が行なわれる。本実施の形態1においても、第1の配線パターン25は露出されておらず、第1の配線パターン25の酸化は抑制されている。なお、第2の配線パターン7はレジスト11の除去の際に酸化されてしまうが、これによって第1の配線パターン25に配線欠陥が生じることはない。

【0058】その後、図2(e)に示すように、リソグラフィー法、ドライエッチング法により溝パターン32を形成する。更に図2(f)に示すように、ビアパターン28の底に露出している保護膜23をドライエッチングにより除去し、メッキ法およびCMP法を行なう。これにより接続プラグ34、ダミープラグ35、及び第3の配線パターン33が形成される。よって、積層膜20は配線層となり、デュアルダマシン構造が得られる。このように図2(a)から図2(f)に示す工程を経ることにより、本実施の形態2にかかる半導体装置が得られる。

【0059】次に、本実施の形態2にかかる半導体装置について説明する。上述の図2(f)に示すように、本実施の形態2にかかる半導体装置も、実施の形態1にかかる半導体装置と同様に、基板21上に、コンタクト領域22aと、非コンタクト領域22bと、保護膜23及び絶縁膜24からなる積層膜20と、接続プラグ34と、ダミープラグ35とが形成されて構成されたものである。接続プラグ34は、積層膜20を貫通してコンタクト領域に達するよう形成されており、半導体装置の回路動作に寄与するものである。一方、ダミープラグは、積層膜20を貫通して非コンタクト領域22bに達するよう形成されており、半導体装置の回路動作に寄与しな

いものである。

【0060】このように本実施の形態2にかかる半導体装置においても、従来の半導体装置と異なり、接続孔28とダミー接続孔29により接続プラグ34とダミープラグ35とが形成されるため、配線欠陥が極めて少ないものとなっている。また、本実施の形態2にかかる半導体装置においても、実施の形態1と同様に、ダミー接続孔29によって開口率(S2/S1)を制御することができ、ダミー接続孔29はドライエッチング工程及びCMP工程におけるプロセスマニタリングや、その制御に利用できる。

【0061】(実施の形態3) 次に本発明の実施の形態3にかかる半導体について図3を参照しながら説明する。図3は、本発明の実施の形態3にかかる半導体装置を示す断面図である。

【0062】図3の例に示すように、本実施の形態3にかかる半導体装置は、コンタクト領域と非コンタクト領域とが設けられた複数の配線層120、130、140および150を積層して構成したものである。なお、最下層の配線層120は半導体基板110の上に積層されている。

【0063】図3の例では、配線層120は、図1で示した配線層2と同様のものである。配線層120の形成は、第1の層間絶縁膜123を形成し、シングルダマシン法によって、Cu配線で形成された第1の配線パターン121および第2の配線パターン122を形成することによって行なわれている。なお、第2の配線パターン122はダミーパターンやアライメントパターンといった半導体装置の駆動に用いられない配線パターンである。配線層120においても、図1で示した配線層2と同様に、第1の配線パターン121が露出した領域がコンタクト領域となっており、それ以外の領域が非コンタクト領域となっている。

【0064】また、配線層130は、図1(f)で示した配線層(積層膜10)と同様のものである。配線層130の形成は、図1(a)～(f)で示した工程に準じた工程によって行なわれており、ダミー接続孔132を形成するためのエッチングと接続孔134を形成するためのエッチングとは同時に開始されている。このため、接続孔134の形成によって保護膜135が破れ、配線層120の第1の配線パターン121に配線欠陥が生じるのが抑制されている。

【0065】131はCu配線で形成された第3の配線パターンであり、133は第2の層間絶縁膜である。また、135は接続孔134で形成された接続プラグ、136はダミー接続孔132で形成されたダミープラグである。配線層130においては、第2の配線パターン131が露出した領域がコンタクト領域となり、それ以外の領域が非コンタクト領域となる。

【0066】配線層140も図1(f)で示した配線層

(積層膜10)と同様のものである。配線層140の形成も図1(a)～(f)で示した工程に準じた工程によって行なわれている。そのため、ダミー接続孔142を形成するためのエッチングと接続孔144を形成するためのエッチングとは同時に開始されており、保護膜145が破れて配線層130の第3の配線パターン131に配線欠陥が生じるのが抑制されている。

【0067】145は接続孔144で形成された接続プラグ、146はダミー接続孔142で形成されたダミープラグ、143は第3の層間絶縁膜である。配線層140においても、Cu配線で形成された第4の配線パターン141が露出した領域がコンタクト領域となり、それ以外の領域が非コンタクト領域となる。

【0068】配線層150は、図2(f)で示した配線層(積層膜20)と同様のものである。配線層150の形成は、図2(a)～(f)で示した工程に準じた工程によって行なわれおり、ダミー接続孔152を形成するためのエッチングと接続孔154を形成するためのエッチングとは同時に開始されている。このため、配線層150においても接続孔154の形成によって保護膜155が破れ、配線層140の第4の配線パターン141に配線欠陥が生じるのが抑制されている。

【0069】155は接続孔154で形成された接続プラグ、156はダミー接続孔152で形成されたダミープラグ、153は第4の層間絶縁膜である。配線層150においても、Cu配線で形成された第5の配線パターン151が露出した領域がコンタクト領域となり、それ以外の領域が非コンタクト領域となる。

【0070】このように、本実施の形態3にかかる半導体装置は、接続プラグ135、145及び155の上部に、絶縁膜に埋め込まれた配線が形成されたものである。本実施の形態3にかかる半導体装置においては、最下層の配線層120以外の配線層130、140および150は、それよりも下層のコンタクト領域の上方に位置する接続プラグ135、145及び155を介して、該下層のコンタクト領域と接続されている。また、最下層の配線層120以外の配線層130、140および150は、その下層に位置する配線層の非コンタクト領域の上方に位置し、これに達するダミープラグ136、146および156を有している。

【0071】図3の例では、中間に位置する配線層130及び配線層140においては、配線パターン(131又は141)のピッチ(P1又はP2)はダミー接続孔のピッチよりも大きく設定されている。また、配線層130及び配線層140に設けられたダミー接続孔132及び142は、密集して複数形成されている。これは、配線層130や140のように配線パターンのピッチP1及びP2が0.80μm以下の中間層や下層においては、CMPでのディシングを考慮しなくてすむからである。

【0072】一方、上部に位置する配線層150においては、配線パターン151のピッチP3はダミー接続孔152のピッチよりも小さく設定されている。また、配線層150に設けられたダミー接続孔152は、接続孔155よりも開口径の大きな孔で構成されている。これは、配線層150のように配線パターンのピッチP3が0.80μmより大きい上層においては、マイクロローディング効果の影響が少なくなるためである。

【0073】(実施の形態4) 次に本発明の実施の形態4にかかるエッティング方法及び半導体装置について、図4を参照しながら説明する。図4は本発明の実施の形態4にかかるエッティング方法及び半導体装置を示す断面図である。

【0074】最初に本実施の形態4にかかるエッティング方法について説明する。本実施の形態4にかかるエッティング方法も、コンタクト領域42に達する接続孔40を形成するためのエッティング方法である。

【0075】先ず、図4(a)の例に示すように、コンタクト領域42及び非コンタクト領域43を有する基板31上に形成された保護膜36と、保護膜36上に形成された絶縁膜38とからなる積層膜44を形成する。なお、図4(a)の例では、絶縁膜38の上には、後述の接続孔40およびダミー接続孔41のパターン形状を有するレジスト39が形成されている。

【0076】図4(a)の例では、基板31上には、不純物拡散層32、分離層37、LD_D(Lightly doped Drain)層33、ゲート電極34及びサイドウォール35が設けられており、その上に積層膜44が形成されている。このため、不純物拡散層32が露出した領域がコンタクト領域(不純物拡散領域)42となり、分離層37が露出した領域が非コンタクト領域(素子分離領域)43となる。

【0077】保護膜36および絶縁膜38は、CVD法等によって形成されている。図4(a)の例では保護膜36は、Si₃N₄で形成されたSiNライナーである。なお、本実施の形態において保護膜36は、これに限定されるものではなく、その他SiC、SiOC、SiCNまたはSiON等で形成されたものであっても良い。また、図4(a)の例では、絶縁膜38はSiO₂膜である。絶縁膜38は、これに限定されるものではなく、その他SiON、SiOC、SiOF、有機材料またはポーラスのいずれかで形成された膜であっても良い。

【0078】但し、実施の形態1と同様に、保護膜36と絶縁膜38との選択比を確保するため、保護膜36は絶縁膜38よりもエッティング速度が遅くなるように形成されているのが好ましい。よって、本実施の形態2においても、この点を考慮して保護膜36および絶縁膜38の構成材料を選択する必要がある。

【0079】次に、図4(b)の例に示すように、コンタクト領域42上の積層膜44に接続孔40を形成する

のと同時に、非コンタクト領域43上の積層膜44にダミー接続孔41を形成する。なお、接続孔40は実際に複数個形成されるが、図4においては単一の接続孔のみを示している。

【0080】図4(b)の例では、接続孔40の形成とダミー接続孔41の形成とは、同時に開始されている。接続孔40及びダミー接続孔41は、プラズマエッティング装置等を用いたドライエッティングによって形成されている。なお、本実施の形態4においてもドライエッティング条件は異方性の高い条件に設定されている。

【0081】また、図4(b)の例では、ダミー接続孔41は、実施の形態1で示したものと同様に、密集して複数形成されている。このため、実施の形態1と同様に、ドライエッティング時において、接続孔40の深さ方向のエッティング速度と、ダミー接続孔41の深さ方向のエッティング速度とを比較すると、図4(b)の例に示すように、上述したマイクロローディング効果によりダミー接続孔41のエッティング速度の方が速くなる。従つて、図4(c)に示すようにダミー接続孔41の方が接続孔40よりも早く保護膜36に到達する。

【0082】本実施の形態4において複数のダミー接続孔41間のピッチをDP4とすると、DP4はマイクロローディング効果が顕著に表れるようになるため、接続孔40間のピッチHP4に対して、 $DP4 \leq HP4$ となるように設定するのが好ましく、特に $DP4 \leq (HP4 - 0.02\mu m)$ となるように設定するのが好ましい。また、本実施の形態4においても接続孔40とダミー接続孔41とは、これらを合わせた開口率が経験上1.5%以上となるように形成するのが好ましい。

【0083】よって、本実施の形態4においても、図4(c)に示すようにダミー接続孔41の底が保護膜36に到達すると、保護膜36がSiNライナーであるため、プラズマ中においてN発光、CN発光、CN⁺発光、N⁺発光、N₂発光、CO発光、CO⁺発光、NO発光、NO⁺発光等を容易に検出できる。このため、図4(b)から図4(c)の工程において、終点検出は発光の検出によって行なわれており、エッティング時間によって行なわれていない。なお、終点検出装置としては実施の形態1と同様に従来から利用されているものを用いることができる。また、保護膜36の種類が異なると検出される発光も異なるため、発光の種類は上記に限定されるものではない。

【0084】次に、図4(d)に示すように、終点を検出した後、ドライエッティング条件を絶縁膜38と保護膜36との選択比が高くなるように変更し、即ち、保護膜36よりも絶縁膜38の方が、エッティング速度が大きくなるようにエッティングの条件を変更して、更にドライエッティングを継続する。このとき接続孔40の終点制御はエッティング時間によって行なわれるが、選択比が高いため従来に比べて終点制御の精度を高くできる。このた

め、接続孔40において、保護膜36上でエッチングの進行を止めることが容易に行なえる。更にレジスト39の除去を行なう。

【0085】その後、図4(e)に示すように、接続孔40の底に露出している保護膜36をドライエッチングにより除去する。更に、レジスト39も除去し、メッキ法により接続孔40およびダミー接続孔41の内部に導電性材料を充填し、接続プラグ45及びダミープラグ46を形成する。これにより本実施の形態4にかかる半導体装置が得られる。

【0086】このように本実施の形態4にかかる半導体装置の製造方法を用いれば、接続孔40が保護膜36の近傍に達するまでは異方性の高い条件に設定してエッチングすることができ、達した後は選択比の高い条件でエッチング変更してエッチングすることができる。このため接続孔40の形成の際ににおける終点制御を精度良く行なうことができる。よって、従来のように不純物拡散層32に不良が生じるのを抑制することができ、特にコンタクトホールのアスペクト比较高の場合に有効である。

【0087】次に、本実施の形態4にかかる半導体装置について説明する。上述の図4(e)に示すように、本実施の形態4にかかる半導体装置は、基板31上に、不純物拡散領域(コンタクト領域)42と、ゲート電極34と、ゲート電極の側壁に設けられたサイドウォール35と、素子分離領域(非コンタクト領域)43と、保護膜36と、保護膜36を覆う絶縁膜38と、接続プラグ45と、ダミープラグ46とが形成されたものである。

【0088】このうち保護膜36は、ゲート電極34、サイドウォール35及び不純物拡散領域42の少なくとも一部を覆うように形成されている。また、接続プラグ45は、絶縁膜38及び保護膜36を貫通して不純物拡散領域42に達するように形成されており、半導体装置の回路動作に寄与するものである。一方、ダミープラグ46は、絶縁膜38及び保護膜36を貫通して素子分離領域43に達するように形成されており、半導体装置の回路動作に寄与しないものである。

【0089】このように本実施の形態4にかかる半導体装置では、従来の半導体装置と異なり、接続孔40と共にダミー接続孔41が形成されているため、不純物拡散層32の欠陥が極めて少ないものとなっている。また、本実施の形態4にかかる半導体装置においても、実施の形態1と同様に、ダミー接続孔41によってパターン開口率を制限することができ、ダミー接続孔41はドライエッチング工程及びCMP工程におけるプロセスモニタリングや、その制御に利用できる。

【0090】(実施の形態5) 次に本発明の実施の形態5にかかるエッチング方法及び半導体装置について図5を参照しながら説明する。図5は、本発明の実施の形態5にかかるエッチング方法及び半導体装置を示す断面図である。

【0091】最初に本実施の形態5にかかるエッチング方法について説明する。本実施の形態5にかかるエッチング方法も、コンタクト領域62に達する接続孔60を形成するためのエッチング方法である。

【0092】先ず、図5(a)の例に示すように、コンタクト領域62及び非コンタクト領域63を有する基板51上に形成された保護膜56と、保護膜56上に形成された絶縁膜58とからなる積層膜64を形成する。この工程は、図4(a)に示した工程と同じである。なお、図5(a)の例においても、絶縁膜58の上に、後述の接続孔60およびダミー接続孔61のパターン形状を有するレジスト59が形成されている。

【0093】図5(a)の例においても、基板51上には、不純物拡散層52、分離層57、LDD(Lightly doped Drain)層53、ゲート電極54及びサイドウォール55が設けられており、その上に積層膜64が形成されている。このため、本実施の形態においても、不純物拡散層52が露出した領域がコンタクト領域(不純物拡散領域)62となり、分離層57が露出した領域が非コンタクト領域(素子分離領域)63となる。また、保護膜56も図4で示した保護膜36と同様のものであり、絶縁膜58も図4で示した絶縁膜38と同様のものである。

【0094】次に、図5(b)の例に示すように、コンタクト領域62上の積層膜64に接続孔60を形成するのと同時に、非コンタクト領域63上の積層膜64にダミー接続孔61を形成する。なお、接続孔60は実際に複数個形成されるが、図5においては単一の接続孔のみを示している。

【0095】図5(b)の例においても、接続孔60の形成とダミー接続孔61の形成とは、図4(b)の工程と同様に、同時開始されている。接続孔60及びダミー接続孔61は、プラズマエッチング装置等を用いたドライエッチングによって形成されている。本実施の形態5においても、ドライエッチング条件は異方性の高い条件に設定されている。

【0096】本実施の形態5においては、ダミー接続孔61は、実施の形態2で示したものと同様に、接続孔60よりも開口径の大きな孔で構成されている。従って、本実施の形態5においても、実施の形態2と同様に、RIE-Lagにより、ダミー接続孔61の深さ方向のエッチング速度の方が、接続孔60の深さ方向のエッチング速度よりも速くなる。従って、本実施の形態においても図4(c)に示すようにダミー接続孔61の方が接続孔60よりも早く保護膜56に到達する。

【0097】本実施の形態5においてダミー接続孔61の開口径をDd2、接続孔60の開口径をHd2とすると、Dd2はHd2よりも大きく、具体的にはDd2≥(Hd2+0.02μm)、特にDd2≥(Hd2+0.1μm)となるように設定するのが好ましい。

【0098】また、本実施の形態1において、ダミー接続孔61間のピッチをDP5とすると、DP5は、 $DP5 \geq (Hd2 + 0.02\mu m)$ となるように設定するのが好ましく、特には $DP5 \geq (Hd2 + 0.1\mu m)$ となるように設定するのが好ましい。更に、本実施の形態5においても、実施の形態1と同様に、接続孔60とダミー接続孔61とは、これらを合わせた開口率が経験上1.5%以上となるように形成するのが好ましい。

【0099】本実施の形態5においても図5(c)に示すように、ダミー接続孔61の底が保護膜56に到達すると、プラズマ中においてN発光、CN発光、CN⁺発光、N⁺発光、N₂発光、CO発光、CO⁺発光、NO発光、NO⁺発光等を容易に検出できる。このため、図5(b)から図5(c)の工程においても、終点検出は発光の検出によって行なわれている。

【0100】次に、図5(d)に示すように、終点を検出した後、ドライエッティング条件を絶縁膜58と保護膜56との選択比が高くなるように変更し、即ち、保護膜56よりも絶縁膜58の方が、エッティング速度が大きくなるようにエッティングの条件を変更して、更にドライエッティングを継続する。本実施の形態5においても、接続孔40の終点制御の精度は、選択比が高いため従来に比べて高いと考えられる。よって、接続孔60のエッティングの進行を保護膜56上で止めるのは容易に行なえる。更にレジスト59の除去を行う。

【0101】その後、図5(e)に示すように、接続孔60の底に露出している保護膜56をドライエッティングにより除去する。更に、レジスト59も除去し、メッキ法により接続孔60およびダミー接続孔61の内部に導電性材料を充填する。これにより本実施の形態5にかかる半導体装置が得られる。なお、この工程は図4(e)に示した工程と同様である。

【0102】このように本実施の形態5にかかる半導体装置の製造方法を用いることによっても、接続孔60が保護膜56の近傍に達するまでは異方性の高い条件に設定してエッティングすることができ、達した後は選択比の高い条件に変更してエッティングすることができる。このため、接続孔60の形成の際ににおける終点制御を精度良く行なうことができる。よって、従来のように不純物拡散層52に不良が生じるのを抑制することができ、特にコンタクトホールのアスペクト比が高い場合に有効である。

【0103】次に、本実施の形態5にかかる半導体装置について説明する。上述の図5(e)に示すように、本実施の形態5にかかる半導体装置は、基板51上に、不純物拡散領域(コンタクト領域)62と、ゲート電極54と、ゲート電極の側壁に設けられたサイドウォール55と、素子分離領域(非コンタクト領域)63と、保護膜56と、保護膜56を覆う絶縁膜58と、接続プラグ65と、ダミープラグ66とが形成されたものである。

【0104】このうち保護膜56は、ゲート電極54、サイドウォール55及び不純物拡散領域62の少なくとも一部を覆うように形成されている。また、接続プラグ65は、絶縁膜58及び保護膜56貫通して不純物拡散領域62に達するように形成されており、半導体装置の回路動作に寄与するものである。一方、ダミープラグ66は、絶縁膜58及び保護膜56を貫通して素子分離領域63に達するように形成されており、半導体装置の回路動作に寄与しないものである。

【0105】このように本実施の形態5にかかる半導体装置においても、実施の形態4と同様に、接続孔60と共にダミー接続孔61が形成されているため、拡散層52の欠陥が極めて少ないものとなっている。また、本実施の形態5にかかる半導体装置においても、実施の形態4と同様に、ダミー接続孔61によってパターン開口率を制限することができ、ダミー接続孔61はドライエッティング工程及びCMP工程におけるプロセスモニタリングや、その制御に利用できる。

【0106】
【発明の効果】以上のように本発明にかかる半導体装置の製造方法によれば、ダミー接続孔の終点制御を発光によって行なうことができるため、接続孔または接続孔の形成を異方性の高い条件で行なうことができ、更にこれらの終点制御の精度を高めることもできる。よって、本発明にかかる半導体装置の製造方法を用いることにより、配線パターンや不純物拡散層に欠陥が発生するのを抑制することができる。また、本発明にかかる半導体装置においては、配線パターンや不純物拡散層における欠陥が極めて少なくなっている。

【図面の簡単な説明】
【図1】本発明の実施の形態1にかかるエッティング方法及び半導体装置を示す断面図である。

【図2】本発明の実施の形態2にかかるエッティング方法及び半導体装置を示す断面図である。

【図3】本発明の実施の形態3にかかる半導体装置を示す断面図である。

【図4】本発明の実施の形態4にかかるエッティング方法及び半導体装置を示す断面図である。

【図5】本発明の実施の形態5にかかるエッティング方法及び半導体装置を示す断面図である。

【図6】従来のデュアルダマシン構造を有する半導体装置の製造方法を示す工程断面図である。

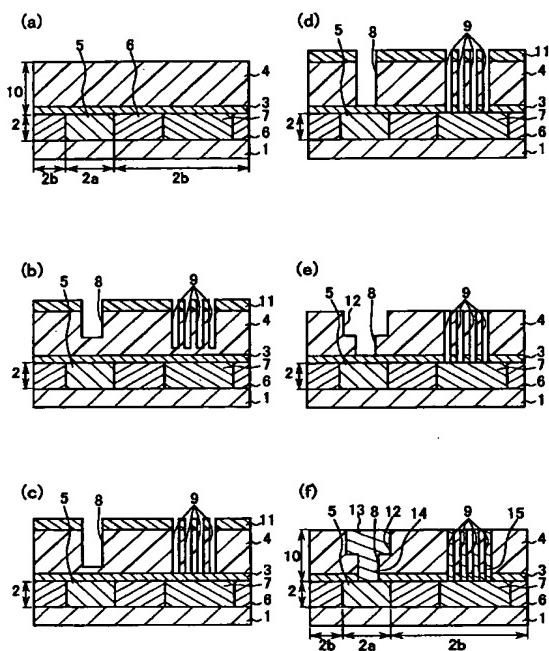
【図7】従来のデュアルダマシン構造を有する半導体装置の製造工程の一部を示す断面図である。

【符号の説明】
1、21、31、51、110 基板
2、22、120、130、140、150 配線層
2a、22a、42、62 コンタクト領域
2b、22b、43、63 非コンタクト領域
3、23、36、56、135、145、155 保護膜

膜

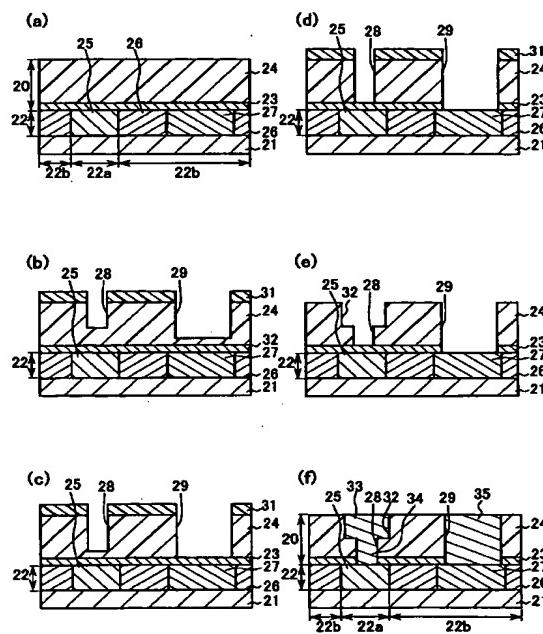
- 4、24、133 絶縁膜（第2の層間絶縁膜）
 5、25、121 第1の配線パターン
 7、27、122 第2の配線パターン
 6、26、123 第1の層間絶縁膜
 8、28、40、60、134、144、154 接続孔
 9、29、41、61、132、142、152 ダミー接続孔
 10、20、44、64 積層膜
 11、31、39 レジスト
 12、32 溝パターン
 13、33、131 第3の配線パターン

【図1】

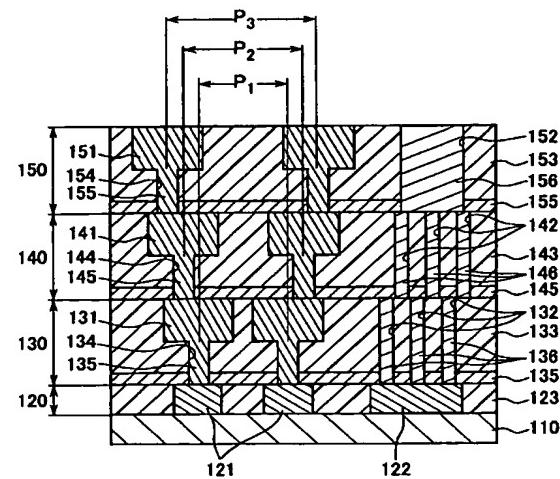


- 14、34、45、65、135、145、155 接続プラグ
 15、35、46、66、136、146、156 ダミープラグ
 32、52 不純物拡散層
 33、53 LDD層
 34、54 ゲート電極
 35、55 サイドウォール
 37、57 分離層
 10 38、58 絶縁膜
 141 第4の配線パターン
 143 第3の層間絶縁膜
 153 第4の層間絶縁膜

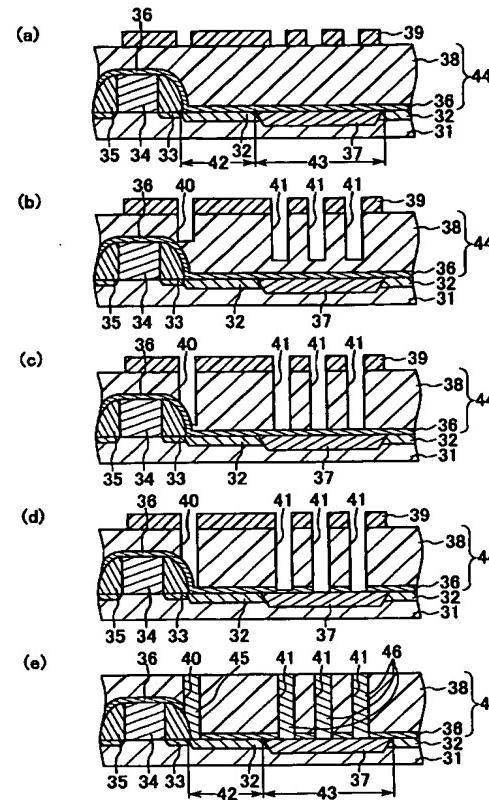
【図2】



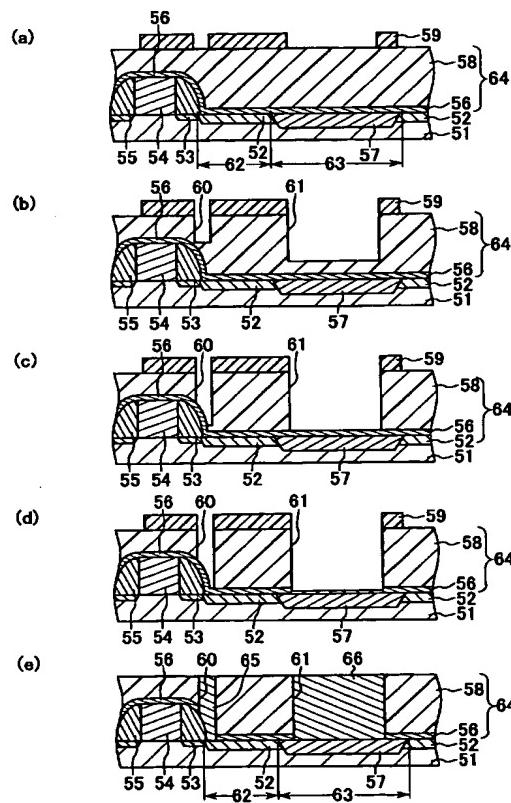
【図3】



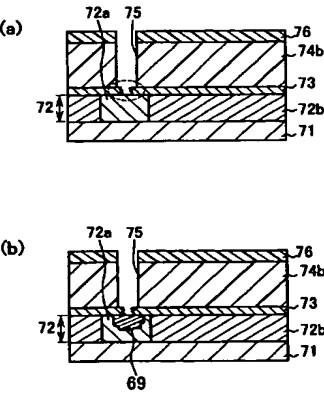
【図4】



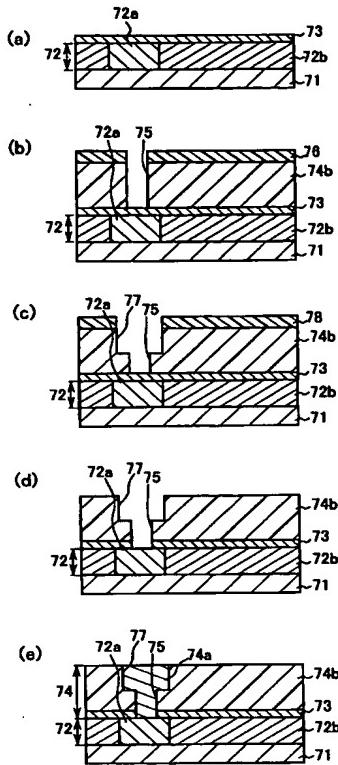
【図5】



【図7】



【図6】



フロントページの続き

Fターム(参考) 4M104 BB04 CC01 DD03 DD05 DD08
 DD15 DD16 DD17 DD18 DD75
 DD94 EE09 EE14 EE16 EE17
 EE18 GG09 HH15
 5F004 AA03 AA16 CB01 CB14 CB15
 DB00 DB07 FA08
 5F033 HH11 KK11 MM01 MM02 NN00
 PP26 QQ09 QQ10 QQ12 QQ16
 QQ21 QQ35 QQ37 QQ39 QQ48
 RR04 RR06 RR08 RR21 RR29
 SS11 TT02 TT04 TT08 VV01
 WW01 XX04